

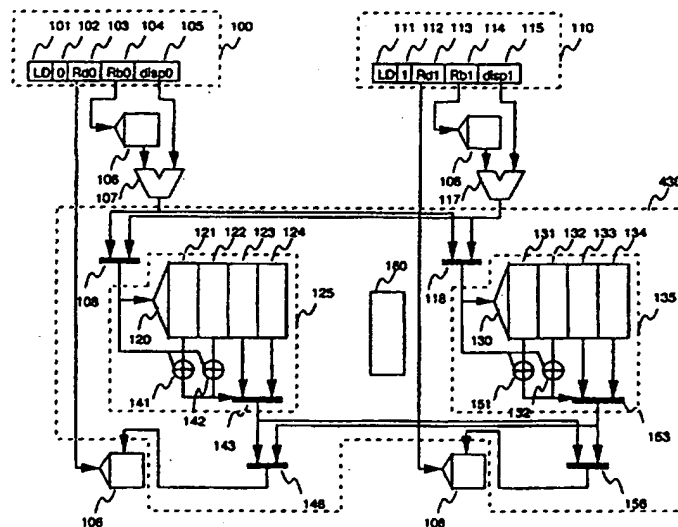


4

(51) 国際特許分類 G06F 12/00, 12/08	A1	(11) 国際公開番号 WO97/30395 (43) 国際公開日 1997年8月21日(21.08.97)
(21) 国際出願番号 PCT/JP96/00338 (22) 国際出願日 1996年2月16日(16.02.96) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 花輪 誠(HANAWA, Makoto)(JP/JP) 〒352 埼玉県新座市大和田1-7-38-403 Saitama, (JP) 金子憲二(KANEKO, Kenji)(JP/JP) 〒229 神奈川県相模原市下九沢2609-11 Kanagawa, (JP) 山本一道(YAMAMOTO, Kazumichi)(JP/JP) 〒192 東京都八王子市子安町2-32 C-405 Tokyo, (JP) 島田健太郎(SHIMADA, Kentaro)(JP/JP) 〒259-13 神奈川県秦野市戸川452 日立碧嶺第一寮 Kanagawa, (JP) (74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)		(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書

(54) Title: MULTI-PORT MEMORY AND DATA PROCESSOR MAKING ACCESS TO IT

(54) 発明の名称 マルチポートメモリ及びそれをアクセスするデータ処理装置



(57) Abstract

The cache memory of a superscalar or VLIW processor which processes a plurality of memory accesses in parallel is divided into a plurality of memory banks so that they can operate in parallel and is provided with a means which independently assigns a memory port to each memory bank so that the increase of a cycle time can be suppressed and multiport memory can be realized by only adding a small amount of hardware. In the first cycle, first and second memory ports are respectively assigned to first and second memory banks and, when there is a hit, current accesses are completed in one cycle and, when no hit occurs, the first and second memory ports are respectively assigned to the second and first memory banks in the second cycle.

(57) 要約

複数のメモリアクセスを並列に処理するスーパースカラまたはVLIWプロセッサのキャッシュメモリにおいて、サイクル時間の増大を抑え、少ないハードウェアの追加で、マルチポートアクセス可能なメモリを提供するために、キャッシュメモリを複数のメモリバンクに分割し、それぞれが並列動作が可能とし、各メモリバンクに独立にメモリポートを割り当てる手段を設け、第1のサイクルで、第1のメモリポートを第1のメモリバンクに、第2のメモリポートを第2のメモリバンクに割り当て、ヒットすれば1サイクルで複数のアクセスを完了し、ミスしたら第2のサイクルにおいて、第1のメモリポートを第2のメモリバンクに、第2のメモリポートを第1のメモリバンクに割り当てる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	SD	スーダン
AT	オーストリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
AU	オーストラリア	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
AZ	アゼルバイジャン	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BB	バルバドス	GB	イギリス	MC	モナコ	SK	スロヴァキア共和国
BE	ベルギー	GE	グルジア	MD	モルドバ	SN	セネガル
BF	ブルキナ・ファソ	GH	ガーナ	MG	マダガスカル	SZ	スワジランド
BG	ブルガリア	GN	ギニア	MK	マケドニア旧ユーゴスラ	TD	チャド
BJ	ベナン	GR	ギリシャ		ヴィア共和国	TG	トゴ
BR	ブラジル	HU	ハンガリー	ML	マリ	TJ	タジキスタン
BY	ベラルーシ	IE	アイルランド	MN	モンゴル	TM	トルクメニスタン
CA	カナダ	IS	アイスランド	MR	モリタニア	TR	トルコ
CF	中央アフリカ共和国	IT	イタリア	MW	マラウイ	TT	トリニダード・トバゴ
CG	コンゴ	JP	日本	MX	メキシコ	UA	ウクライナ
CH	スイス	KE	ケニア	NE	ニジェール	UG	ウガンダ
CI	コート・ジボアール	KG	キルギスタン	NL	オランダ	US	米国
CM	カメルーン	KP	朝鮮民主主義人民共和国	NO	ノルウェー	UZ	ウズベキスタン共和国
CN	中国	KR	大韓民国	NZ	ニュージーランド	VN	ヴェトナム
CZ	チェコ共和国	KZ	カザフスタン	PL	ポーランド	YU	ユーゴスラビア
DE	ドイツ	LI	リヒテンシュタイン	PT	ポルトガル		
DK	デンマーク	LK	スリランカ	RO	ルーマニア		

明細書

マルチポートメモリ及びそれをアクセスするデータ処理装置

5 技術分野

本発明は、計算機やデータ処理装置のデータアクセスを高速化するキャッシュメモリに関するものである。特に、メモリアクセス処理を1サイクルに複数個、実行可能なスーパスカラプロセッサもしくは長語長プロセッサ（以下、V L I Wプロセッサと記す）などに好適なキャッシュメモリを

10 提供する。

背景技術

計算機やデータ処理装置において、スーパスカラプロセッサやV L I Wプロセッサ等を用いる場合、1サイクルに複数個のメモリアクセス処理が
15 発生する。このメモリアクセス処理を1サイクルに複数個、実行するためには、メモリのポートがアクセス処理の数だけ必要である。1サイクルに複数個のメモリアクセス処理を可能とするものとして、2ポートのメモリの従来例が、参考文献（「POWER and Power PC」、1994年、Morgan Kaufmann出版社発行）の第168頁から
20 170頁に記載されている。

第1の方式は、メモリ自身として、2ポートからアクセスが可能なメモリセルを用いる方法である。1ビットの情報を記憶する1つのメモリセルに対して、2系統のアドレスデコード及び2系統のワード線、2系統のデータビット線、2系統のセンスアンプなどを設けることにより、2ポート
25 からアクセスが可能なメモリを実現することが出来る。この第1の方式は、

ワード線やデータビット線が2系統必要なことから、同じメモリ容量を実現しようとする、メモリセルの面積はシングルポートの場合と比べてほぼ2倍必要となる。

第2の方式は、従来のシングルポートメモリを2重化して設けることにより、2ポートのアクセスが可能なメモリを実現する方式である。上記第1の方法の2ポートメモリと比較して、メモリセルも2重化される点異なる。したがって、メモリにデータを書き込む場合には、両方のメモリの同じアドレスに同じデータを書き込む必要がある。この上記第2の方式は、メモリセルが2重化されているので、メモリ容量の2倍のメモリセルが必要である。逆に言えば、実際のメモリセルの数の $1/2$ しか独立なデータを保持できない。即ち、同じメモリ容量を実現しようとする、メモリセル用として面積が従来の2倍必要である。

従って、第1の方式と第2の方式を比較すると、メモリセルの面積にはほとんど差がない。また、2つのポートから同一アドレスをアクセスする際には、メモリセルが共通な第1の方式では、片方のアクセスが待たされるのでアクセス時間が必然的に2倍となる。

第3の方式は、メモリをアドレスによって2つのメモリバンクに分割し、異なるメモリバンクに対するアクセスであれば、それら複数のメモリアクセスを同時に処理する方式である。あるアドレスのデータはどちらか一方のメモリバンクにしか存在しないので、上記第2の方式の2ポートメモリと比較して、アドレス入力部及びデータ出力部にそれぞれのメモリポートとメモリバンクの対応を変換するセレクタが必要である。なお、このセレクタの選択指示は、アクセスするアドレスの下位1ビットにより行われる。

上記第3の方式は、メモリセルを2重化していないので、メモリセルの容量が、そのままメモリの容量とすることができ、第2の方式に比べ、同

- 一のメモリセルの数で2倍のメモリ容量を実現することができる。しかし、第3の方式では、アドレスの1ビットでどちらのメモリバンクをアクセスするかを決めるので、メモリのトータルアクセス時間としては、メモリセルのアクセス時間の他に、セクタでの選択時間が必要となる。従って、
- 5 第2の方式に比べ、メモリのトータルアクセス時間が長くなる恐れがある。

第4の方式は、1つのシングルポートメモリを時分割で使う方法である。1サイクルを2つに分け、前半の1/2サイクルで第1メモリポートのアクセスを処理し、後半の1/2サイクルで第2メモリポートのアクセスを処理することにより、2ポートのメモリを実現できる。

- 10 上記第4の方式は、メモリセルなどが2重化されていないので、上記第3の方式と同様に、メモリセルの容量を、そのままメモリの容量とすることができる。しかし、メモリセルのアクセス時間を1/2に高速化しなければ、1サイクルで2個のメモリアクセス処理を実行することはできない。逆に、メモリセルのアクセス時間を基準にすれば（アクセス時間をそのままにすれば）、全体のサイクル時間を2倍に延ばさなければ、1サイクル
- 15 で2個のメモリアクセス処理を実行することはできない。

- 上記述べたように、従来のマルチポートメモリでは、メモリセル面積を変えない場合はメモリの容量がメモリセルの容量の1/2に削減されてしまう、もしくは、メモリのアクセス時間が延びる、あるいは、メモリセル
- 20 のアクセス時間を基準に考えると全体のサイクル時間が2倍に延びてしまうなどの課題があった。

- 本発明の目的は、上記マルチポートメモリの課題を解決し、メモリ容量がシングルポートメモリのときのメモリセルの容量と同一で、実質的にメモリのアクセス時間を延ばさず、バンクアクセス衝突も発生させず、また、
- 25 全体のサイクル時間も延ばさずに、複数のメモリアクセス処理を同時に実

行できるマルチポートメモリを提供することにある。

発明の開示

- 本発明は、複数のメモリバンクに分割したメモリにおいて、前記メモリバンクのそれぞれは、データとそのアドレスを対にして記憶する手段と、当該メモリ外から入力されるアドレスに対応するアドレスが当該メモリバンク内に存在するか否かを判断する判断手段と、前記対応するアドレスが存在するとき、当該アドレスと対になるデータをアクセスし当該メモリバンクの外へ出力する手段を有し、前記メモリは、前記複数のメモリポートから入力される複数のアドレスそれぞれを、前記複数のメモリバンクのいずれのメモリバンクへ入力するかを選択し入力する第1手段と、前記各メモリバンクから読み出されたデータを、当該メモリバンクへ入力されたアドレスが入力された前記メモリポートに対応するデータ出力用のポートへ出力する手段を有するマルチポートメモリによって達成される。
- 15 また、上記のマルチポートメモリにおいて、前記第1の手段は、第1サイクルで、前記複数のメモリポートの内の一つである第1のメモリポートから入力される第1のアドレスを前記複数のメモリバンクの内の一つである第1のメモリバンクへ入力し、前記複数のメモリポートの内の一つである第2のメモリポートから入力される第2のアドレスを前記複数のメモリ
- 20 バンクの内の一つである第2のメモリバンクへ入力し、前記第1のメモリバンク内の前記判断手段が前記第1のアドレスと対になるデータが存在しないと判断したとき、前記第1サイクルより後のサイクルで前記第2のメモリバンクへ前記第1のアドレスを入力し、前記第2のメモリバンク内の前記判断手段が前記第2のアドレスと対になるデータが存在しないと判断
- 25 したとき、前記第1サイクルより後のサイクルで前記第1のメモリバンク

へ前記第2のアドレスを入力することによって達成される。

更に、前述のマルチポートメモリにおいて、前記第1の手段は、第1の
サイクルで、前記複数のメモリポートの内の一つである第1のメモリポ
ートから入力される第1のアドレスを前記複数のメモリバンクの内の全ての
5 メモリバンクへ入力することによって達成される。

次に、上述のマルチポートメモリをデータメモリとして接続して用いら
れるデータ処理装置であって、前記データ処理装置の制御をプログラムす
る命令の内、前記データメモリをアクセスする命令の中に設けられている
所定のビット数の情報をデコードする手段と、デコード結果に従って当該
10 命令を実行する手段とを有し、ここで、前記情報は前記複数のメモリポ
ートの内のいずれのメモリポートをアクセスするかを指定する情報であるこ
とによって達成される。

上記のマルチポートメモリは、以下の様に動作する。

第1のメモリポートからのアドレスは、第1のサイクルで第1のメモリ
15 バンクに入力され、アクセスするデータが第1のメモリバンクの内部に記
憶されているかが検索される。もし存在していれば、対応するデータをア
クセスして、第1のメモリポート側の処理を終了する。もし、存在してい
なければ、第2のサイクルにおいて、第2のメモリバンクに当該アドレス
が入力され、アクセスするデータが第2のメモリバンクの内部に記憶され
20 ているかが検索される。もし存在していれば、対応するデータをアクセス
して、第1のメモリポートの処理を終了する。

一方、第2のメモリポートは、第1のサイクルで第1のメモリバンク以
外のメモリバンクにアドレスを入力し、アクセスするデータがそのメモリ
バンクの内部に記憶されているかを検索する。もし存在していれば、対応
25 するデータをアクセスして、第2のメモリポートの処理を終了する。もし、

存在していなければ、第2のサイクルにおいて、第2のメモリバンク以外のメモリバンクにアドレスを入力し、アクセスするデータがそのメモリバンクの内部に記憶されているかを検索する。もし存在していれば、対応するデータをアクセスして、第2のメモリポートの処理を終了する。

- 5 なお、上記の動作において、第1サイクルにおいては、第1のメモリポートは第1のメモリバンクをアクセスし、第2のメモリポートは第1のメモリバンク以外のメモリバンクをアクセスするので、アクセスが衝突することはなく、どちらの動作も同時に、即ち並列に処理することが出来る。
- また、第2サイクルにおいては、第1のメモリポートは第2のメモリバンク
- 10 クをアクセスし、第2のメモリポートは第2のメモリバンク以外のメモリバンクをアクセスするので、この場合もアクセスが衝突することはなく、どちらの動作も並列に処理することが出来る。

- また、メモリアクセスが1つしかない場合は、第1サイクルで全てのメモリバンクをアクセスすることにより、1サイクルでメモリアクセスを終
- 15 了することが出来る。つまり、第1のサイクルで全てのメモリバンクに、第1のメモリポートのアドレスを入力し、アクセスするデータがどこかのメモリバンクの内部に記憶されているかを検索する。どこかのメモリバンクに存在していれば、対応するデータをアクセスして、第1のメモリポートの処理を終了する。

- 20 さらにまた、上記のマルチポートメモリをデータメモリとして接続しているデータ処理装置において、上記データメモリをアクセスする命令中のビット情報を適切に指定することによって、アクセスすべきデータが記憶されているメモリバンクに第1のサイクルでアクセスすることができ、1サイクルで複数のメモリアクセスを終了することができる。

図面の簡単な説明

図 1 は、本発明の一実施例であるキャッシュメモリ及びその周辺ブロックを示すブロック図である。図 2 は、図 1 に示したキャッシュメモリにおいて、2つのメモリアクセスを同時に処理する動作の内、第 1 サイクル目の動作を示した図である。図 3 は、図 1 に示したキャッシュメモリにおいて、2つのメモリアクセスを同時に処理する動作の内、第 2 サイクル目の動作を示した図である。図 4 は、図 1 に示したキャッシュメモリにおいて、1つのメモリアクセスを処理する動作を示した図である。図 5 は、図 1 に示したキャッシュメモリが接続されているデータ処理装置の全体を示すブロック図である。図 6 は、本発明の他の一実施例であるキャッシュメモリ及びその周辺ブロックを示すブロック図である。

発明を実施するための最良の形態

以下、本発明を、実施例をもとに、図を用いて説明する。

図 5 は本発明の一実施例であるデータ処理装置のブロック構成図である。本実施例のデータ処理装置は、命令を実行するプロセッサ 410、命令用のキャッシュメモリである命令キャッシュ 420、データ用のキャッシュメモリであるデータキャッシュ 430、及び、メインメモリ 440 から成る。これらは、アドレスバス、データバス等を介して互いに接続されている。命令キャッシュ 420 はメインメモリ 440 中のプログラム領域のコピーを保持し、データキャッシュ 430 はメインメモリ 440 中のデータ領域のコピーを保持している。

プロセッサ 410 は、データを格納するレジスタファイル 106、命令に従って演算を実行する演算器 412、及び、それらを制御する制御回路 413 なら成る。プロセッサ 410 は、命令キャッシュ 420 からプログ

ラムの1つの処理単位である命令を読み出し、その命令の指示に従って制御回路413がプロセッサ内部の回路（レジスタファイル、演算器等）を動作させる。

命令の種類には、レジスタファイル106の中のデータを演算器412
5 などで演算し、その結果をレジスタファイル106に格納する命令のほか、
レジスタファイル106の内容をメインメモリ440及びデータキャッシュ430へ書き込む命令、及び、メインメモリ440またはデータキャッシュ430の内容をレジスタファイル106へ書き込む命令がある。

ここで、データキャッシュ430は、2つのメモリポートを持つキャッシュメモリである。アクセスすべきデータが、データキャッシュ430の中に存在していれば、2つのデータアクセスを同時に処理することができる。データキャッシュ430からアクセス結果として読み出されたデータは、データキャッシュとプロセッサを結ぶデータを送る信号線（バス等）を介してプロセッサへ送られる。このデータキャッシュ430の部分の構成を図1に詳細に示す。
10

図1は、プロセッサ410を構成する命令レジスタ100及び110、レジスタファイル106、アドレス計算器107及び117と、データキャッシュ430（破線で囲まれた部分）の内部ブロックを示す。

命令レジスタ100及び110は、メモリアクセスを行う命令がセット
20 される。命令レジスタ100及び110にセットされた命令は、それぞれ5つの部分に分割される。5つの部分とは、オペレーションの種類を規定するオペレーションコード部101及び111、及び、データキャッシュへのアクセスポートを指定するために使用する情報であるポート指定ヒント部102及び112、デスティネーションレジスタ指定部103及び1
25 13、ベースアドレスレジスタ指定部104及び114、ディスプレース

メント指定部 105 及び 115 である。この構成を有することにより、プロセッサ 410 は 2 つの命令を同時に実行することができる。

今、図 1 の命令レジスタ 100 に、メモリのデータをレジスタへ転送する命令であるロード (LD) 命令がセットされているものとする。LD 命令であることは、オペレーションコード部 101 を図に示さないデコーダ等により解読することにより判断できる。この LD 命令は、レジスタファイル 106 の中からベースアドレスレジスタ指定部 104 で指定されたレジスタ Rb0 の内容を読み出し、その値とディスプレースメント指定部 105 の内容であるディスプレースメント disp0 を加算し、その加算結果をアドレスとしてメモリの内容を読み出し、その読み出した内容をデスティネーションレジスタ指定部 103 で指定されたレジスタファイル 106 中のレジスタ Rd0 に格納する命令である。

また、図 1 の命令レジスタ 110 にも同様に、メモリのデータをレジスタへ転送する命令であるロード (LD) 命令がセットされている。LD 命令であることは、オペレーションコード部 111 を図に示さないデコーダ等により解読することにより判断できる。この命令も、レジスタファイル 106 の中からベースアドレスレジスタ指定部 114 で指定されたレジスタ Rb1 の内容を読み出し、その値とディスプレースメント指定部 115 の内容であるディスプレースメント disp1 を加算し、その加算結果をアドレスとしてメモリの内容を読み出し、その読み出し内容をデスティネーションレジスタ指定部 113 で指定されたレジスタファイル 106 中のレジスタ Rd1 に格納する命令である。

命令レジスタ 100 の命令は、データキャッシュ 430 のメモリポート 0 をアクセスし、命令レジスタ 110 の命令は、データキャッシュ 430 のメモリポート 1 をアクセスする。従って、プロセッサ 410 が 2 つの L

D命令を同時に実行するとデータキャッシュへの2つのアクセスが同時に、プロセッサ410とデータキャッシュ430を結ぶ信号線を介して発行されることになる。この信号線は2つの命令による2つのアクセスを同時に送信することができるものとする。

- 5 データキャッシュ430は、2つのメモリバンク125及び135、4つのセクタ108、118、146及び156、更に、これらを制御する制御回路160から成る。セクタ108は、メモリバンク0（125）への入力アドレスをメモリポート0（メモリバンク0用のポートでメモリバンク0に対するアドレス入力ポートおよびメモリ内容の出力ポート等を
- 10 総称するものとする）から入力するかメモリポート1（メモリバンク1用のポートでメモリバンク1に対するアドレス入力ポートおよびメモリ内容の出力ポート等を総称するものとする）から入力するかを選択する。セクタ118は、メモリバンク1（135）への入力アドレスをメモリポート0から入力するかメモリポート1から入力するかを選択する。セクタ
- 15 146は、メモリポート0へ出力する読み出しデータをメモリバンク0（125）から出力するのかメモリバンク1（135）から出力するのかを選択する。セクタ156は、メモリポート1へ出力する読み出しデータをメモリバンク0（125）から出力するのかメモリバンク1（135）から出力するのかを選択する。
- 20 メモリバンク0（125）は、2ウェイのセットアソシアティブ方式のキャッシュメモリである。アドレスデコーダ120によって、セクタ108で選択されたアドレスの下位ビットをデコードし、メモリアレイ121及び122、123、124を読み出す。メモリアレイ121及び122にはそれぞれウェイ0のタグ及びウェイ1のタグ、123にはウェイ0
- 25 のデータ、124にはウェイ1のデータが記憶されている。メモリアレイ

1 2 1 及び 1 2 2 から読み出されたウェイ 0 のタグ及びウェイ 1 のタグは、それぞれ比較器 1 4 1 および 1 4 2 によって、セクタ 1 0 8 で選択されたアドレスの上位ビットと比較される。比較の結果、一致するアドレスが存在する場合は、この状態をヒットと呼び、一致している方のウェイに対応するデータが、メモリアレイ 1 2 3 及び 1 2 4 から読み出されたウェイ 0 のデータ及びウェイ 1 のデータの中から、セクタ 1 4 3 により選択されて、メモリバンク 0 (1 2 5) の出力データとして出力される。一致するアドレスが存在しない場合は、この状態をミスと呼ぶ。

メモリバンク 1 (1 3 5) も、上記メモリバンク 1 2 5 と同様に、2 ウエイのセットアソシアティブ方式のキャッシュメモリである。アドレスデコード 1 3 0 によって、セクタ 1 1 8 で選択されたアドレスの下位ビットをデコードし、メモリアレイ 1 3 1 及び 1 3 2、1 3 3、1 3 4 を読み出す。メモリアレイ 1 3 1 及び 1 3 2 にはそれぞれウェイ 0 のタグ及びウェイ 1 のタグ、1 3 3 にはウェイ 0 のデータ、1 3 4 にはウェイ 1 のデータが記憶されている。メモリアレイ 1 3 1 及び 1 3 2 から読み出されたウェイ 0 のタグ及びウェイ 1 のタグは、それぞれ比較器 1 5 1 および 1 5 2 によって、セクタ 1 1 8 で選択されたアドレスの上位ビットと比較される。比較の結果、一致するアドレスが存在する場合は、この状態をヒットと呼び、一致している方のウェイに対応するデータが、メモリアレイ 1 3 3 及び 1 3 4 から読み出されたウェイ 0 のデータ及びウェイ 1 のデータの中から、セクタ 1 5 3 により選択されて、メモリバンク 1 (1 3 5) の出力データとして出力される。一致するアドレスが存在しない場合は、この状態をミスと呼ぶ。

それぞれのメモリバンクから出力されたデータは、その読み出しの入力アドレスがメモリポート 0 からのものである場合はメモリポート 0 に読み

- 出しデータを出力するように、一方、その読み出しの入力アドレスがメモリポート1からのものである場合はメモリポート1に読み出しデータを出力するように、セクタ146、156が選択される。そして、セクタ146から出力された読み出しデータは、命令レジスタ100のデスティネーションレジスタ指定部Rd0(103)によって指定されるレジスタファイル内のレジスタに格納される。また、セクタ156から出力された読み出しデータは、命令レジスタ110のデスティネーションレジスタ指定部Rd1(113)によって指定されるレジスタファイル内のレジスタに格納される。
- 5
- 10 なお、上記実施例では、メモリバンク0(125)の出力データを生成するセクタ143及びメモリバンク1(135)の出力データを生成するセクタ153と、メモリポート0へ出力するデータを生成するセクタ146及びメモリポート1へ出力するデータを生成するセクタ156を、それぞれ別のセクタとして構成したが、4入力1出力のセクタを
- 15 2個用いて、上記4つのセクタ143、153、146、156と同一の機能を実現するセクタを構成することもできる。つまり、メモリアレイ123、124、133、134から読み出されたデータを4系統の入力として、その内1系統を出力する4入力1出力のセクタを2個設け、その一方のセクタの出力をメモリポート0への出力とし、もう一方のセクタの出力をメモリポート1への出力とすれば良い。ここで、それぞれの4入力セクタの選択指示は、独立に行う必要がある。

上記のデータキャッシュ430内の動作は、制御回路160が制御している。ここで、制御回路160がデータキャッシュ内の各構成要素の状態を収集するための信号線等や各構成要素を制御するための信号線は図から省略している。なお、図1に於いて、命令レジスタ100のデスティネー

25

ションレジスタ指定部 R d 0 (1 0 3) からレジスタファイル 1 0 6 を指定する図面上の矢印線は、データキャッシュ 4 3 0 内を通過するようになっているが、これは単に図面上の線であり、実際は必ずしもデータキャッシュ 4 3 0 を通過する必要はない。命令レジスタ 1 1 0 のデスティネーションレジスタ指定部 R d 1 (1 1 3) からレジスタファイル 1 0 6 を指定する図面上の矢印線に関しても前述の内容と同様である。

次に、上記データキャッシュ 4 3 0 の動作を図 2 及び図 3、図 4 を用いて説明する。

図 2 および図 3 は、図 1 で説明した 2 つの LD 命令を同時に処理する動作を説明する図である。図 2 は第 1 サイクルでの動作を示したものであり、図 3 は第 2 サイクルでの動作を示したものである。なお、ここでのサイクルとは、本データキャッシュ 4 3 0 を動作させるタイミングであり、プロセッサ 4 1 0 を動作させるクロックや図 5 に示すデータ処理装置全体を駆動させるシステムクロックと一定の関係を有する。例えば、システムクロックの 1 クロックが 1 サイクルと対応したり、またはシステムクロックの複数クロックが 1 サイクルと対応したりする。

第 1 サイクルでは、図 2 に示してある様に、メモリバンク 0 の入力アドレスセクタ 1 0 8 は、メモリポート 0 側、つまり命令レジスタ 1 0 0 にセットされている LD 命令のアクセスアドレスを選択する。このアドレスによって、2 ウエイのセットアソシアティブ方式のキャッシュメモリであるメモリバンク 0 (1 2 5) を検索する。アドレスがヒットしていたら、対応するデータをセクタ 1 4 3 から出力し、セクタ 1 4 6 により、このメモリバンク 0 (1 2 5) のデータを、データキャッシュ 4 3 0 のメモリポート 0 側の読み出しデータとして出力して、このメモリポート 0 側のアクセスを終了する。アドレスがミスしていたら、第 1 サイクルの動作は

ここまでとし、第2サイクルでメモリバンク1(135)をアクセスするよう制御回路160が判断する。

一方、メモリバンク1の入力アドレスセクタ118は、図2に示してある様に、メモリポート1側、つまり命令レジスタ110にセットされているLD命令のアクセスアドレスを選択する。このアドレスによって、2
5 ウエイのセットアソシアティブ方式のキャッシュメモリであるメモリバンク1(135)を検索する。アドレスがヒットしていたら、対応するデータをセクタ153から出力し、セクタ156により、このメモリバンク1(135)のデータを、データキャッシュ430のメモリポート1側
10 の読み出しデータとして出力して、このメモリポート1側のアクセスを終了する。アドレスがミスしていたら、第1サイクルの動作はここまでとし、第2サイクルでメモリバンク0(125)をアクセスするよう制御回路160が判断する。

図3は、メモリポート0のアクセス及びメモリポート1のアクセスの両
15 方が、第1サイクルにおいて、それぞれメモリバンク0(125)及びメモリバンク1(135)でミスした場合の第2サイクル目の動作を示したものである。この第2サイクルは、時間的に第1サイクルの後のサイクルである。

この第2サイクルでは、メモリバンク0の入力アドレスセクタ108
20 は、メモリポート1側、つまり命令レジスタ110にセットされているLD命令のアクセスアドレスを選択する。このアドレスによって、2ウエイのセットアソシアティブ方式のキャッシュメモリであるメモリバンク0(125)を検索する。アドレスがヒットしていたら、対応するデータをセクタ143から出力し、セクタ156により、このメモリバンク0
25 (125)のデータを、データキャッシュ430のメモリポート1側の読

み出しデータとして出力して、このメモリポート1側のアクセスを終了する。アドレスがミスしていたら、第2サイクルの動作はここまでとし、第3サイクルでメインメモリ440をアクセスするよう制御回路160が判断する。

- 5 同様に、メモリバンク1の入力アドレスセクタ118は、メモリポート0側、つまり命令レジスタ100にセットされているLD命令のアクセスアドレスを選択する。このアドレスによって、2ウェイのセットアソシアティブ方式のキャッシュメモリであるメモリバンク1(135)を検索する。アドレスがヒットしていたら、対応するデータをセクタ153から出力し、セクタ146により、このメモリバンク1(135)のデータを、データキャッシュ430のメモリポート0側の読み出しデータとして出力して、このメモリポート0側のアクセスを終了する。アドレスがミスしていたら、第2サイクルの動作はここまでとし、第3サイクルでメインメモリ440をアクセスするよう制御回路160が判断する。
- 10
- 15 以上のように、本実施例では、各メモリアクセスは、2ウェイのセットアソシアティブ方式のキャッシュメモリであるメモリバンク0(125)及びメモリバンク1(135)の両方を検索して、ヒット判定を行っている。つまり、データキャッシュ430は、キャッシュ容量が各メモリバンクの容量の和で、かつ4ウェイのセットアソシアティブ方式のキャッシュ
- 20 メモリとして動作していることになる。

- 2つのメモリアクセス命令を同時に実行する場合は、上記で説明したように、2サイクルで4ウェイのセットアソシアティブ方式のキャッシュメモリとして動作する。ここで、メモリポート0側のアクセスがメモリバンク0(125)でヒットし、メモリポート1側のアクセスがメモリバンク
- 25 1(135)でヒットすれば、1サイクルで2つのメモリアクセス命令を

同時に実行することができる。

したがって、2つのメモリアクセス命令を1サイクルで同時に実行し、終了するためには、メモリバンク0（125）でヒットする可能性が高いLD命令は、メモリポート0側でデータキャッシュ430をアクセスし、

5 メモリバンク1（135）でヒットする可能性が高いLD命令は、メモリポート1側でデータキャッシュ430をアクセスすれば良い。このような制御は、LD命令中のメモリポート指定ヒント部102及び112の情報で可能である。

プロセッサ410の制御回路413において、メインメモリ440または

10 は命令キャッシュ420から読み出したメモリアクセス命令、例えばLD命令の中のメモリポート指定ヒント部を解読し、メモリポート0を指定していれば、その命令を命令レジスタ100にセットし、メモリポート1を指定していれば、その命令を命令レジスタ110にセットする。命令レジスタ100にセットされたメモリアクセス命令は、第1のサイクルにおいて

15 メモリバンク0（125）をアクセスし、命令レジスタ110にセットされたメモリアクセス命令は、第1のサイクルにおいてメモリバンク1（135）をアクセスするので、それぞれのメモリバンク125及び135でヒットする可能性が高くなり、これら2つのメモリアクセス命令を1サイクルで終了できる確率が高くなる。

20 なお、LD命令のメモリポート指定ヒント部102及び112への情報の設定は、上記説明したデータキャッシュを持つプロセッサからなるデータ処理装置用のコンパイラが、プログラムをコンパイルする際に、上記データキャッシュの構造、プログラムのメインメモリへのアクセス順序、データキャッシュの利用予定を踏まえてコンパイルすることにより、LD命令

25 令のメモリポート指定ヒント部102及び112へ、演算実行前に事前に

設定されているものとする。この設定により、プロセッサでの実行時にメモリポート0側の命令とメモリポート1側の命令のメモリアクセスが同じメモリバンクを同時にアクセスする確率を少なくできる。

5 以上で説明したように、前述の実施例においては、2つのメモリアクセス命令が同時に実行される場合、2サイクルで4ウェイのセットアソシアティブ方式のキャッシュメモリとして動作する。一方、メモリアクセス命令が1つだけ実行される場合は、キャッシュメモリを1サイクルで4ウェイのセットアソシアティブ方式のキャッシュメモリとして動作することもできる。図4は、この動作を示す。

10 図4は、命令レジスタ100にセットされたLD命令を実行する場合の図である。メモリバンク0の入力アドレスセクタ108及びメモリバンク1の入力アドレスセクタ118は、共にメモリポート0側、つまり命令レジスタ110にセットされているLD命令のアクセスアドレスを選択する。このアドレスによって、2ウェイのセットアソシアティブ方式のキャッシュメモリであるメモリバンク0(125)及びメモリバンク1(135)を同時に検索する。どちらかのメモリバンクでアドレスがヒットしていたら、対応するデータをセクタ143もしくはセクタ153から出力し、セクタ146により、このデータをデータキャッシュ430のメモリポート0側の読み出しデータとして出力して、このメモリポート0
15 側のアクセスを終了する。アドレスが両方のメモリバンクで共にミスしていたら、第1サイクルの動作はここまでとし、第2サイクルでメインメモリ440をアクセスするよう制御回路160が判断する。

25 以上の様に、メモリアクセス命令が1つだけの場合は、1サイクルで4ウェイのセットアソシアティブ方式のキャッシュメモリとして動作することができ。

以上の説明では、メモリアクセスがメモリバンク 0 (1 2 5) 又はメモリバンク 1 (1 3 5) のどちらかでヒットした場合を中心に説明してきた。以下では、メモリアクセスがメモリバンク 0 (1 2 5) 及びメモリバンク 1 (1 3 5) のどちらでもミスした場合の動作について説明する。

- 5 図 3 の動作の結果、メモリポート 0 側、つまり命令レジスタ 1 0 0 にセットされている LD 命令のアクセスアドレスが、メモリバンク 0 (1 2 5) 及びメモリバンク 1 (1 3 5) の両方ともミスであった場合は、第 3 サイクル目にメインメモリ 4 4 0 をアクセスする。メインメモリ 4 4 0 から読み出されたデータは、プロセッサ 4 1 0 へ転送され、レジスタファイル 1
10 0 6 に格納される。このときデータキャッシュ 4 3 0 は、近い将来に再度このデータがアクセスされる可能性があるので、データキャッシュ 4 3 0 の中にも記憶しておく。データキャッシュ 4 3 0 中のメモリバンクの内、どちらに記憶するかは、もともとどちらのメモリポートでアクセスされたかによって制御する。この場合は、メモリポート 0 側、つまり命令レジ
15 スタ 1 0 0 にセットされている命令でアクセスされたので、メモリバンク 0 (1 2 5) に記憶する。メモリバンク 0 (1 2 5) 内のどのウェイに記憶するかは、例えば、最も古い時刻にアクセスされたウェイを選んで記憶する。この方式を L R U 方式という。

- 同様に、図 3 の動作の結果、メモリポート 1 側、つまり命令レジスタ 1
20 1 0 にセットされている LD 命令のアクセスアドレスが、メモリバンク 0 (1 2 5) 及びメモリバンク 1 (1 3 5) の両方ともミスであった場合は、第 3 サイクル目以降にメインメモリ 4 4 0 をアクセスする。第 3 サイクル目に直ちにメインメモリ 4 4 0 をアクセスするか、それ以降のサイクルでメインメモリ 4 4 0 をアクセスするかは、メモリポート 0 側のミスの状態
25 による。つまり、メモリポート 0 側もミスで、メインメモリ 4 4 0 をアク

セスする場合は、第3サイクル目でメモリポート0側の処理を行い、メモリポート1側の処理はその後になる。

メインメモリ440から読み出されたデータは、メモリポート0側からのアクセスの場合と同様に、プロセッサ410へ転送され、レジスタファイル106に格納される。このときデータキャッシュ430は、近い将来に再度このデータがアクセスされる可能性があるので、データキャッシュ430の中にも記憶しておく。データキャッシュ430中のメモリバンクの内、どちらに記憶するかは、もともとどちらのメモリポートでアクセスされたかによって制御する。この場合は、メモリポート1側、つまり命令レジスタ110にセットされている命令でアクセスされたので、メモリバンク1(135)に記憶する。メモリバンク1(135)内のどのウェイに記憶するかは、例えば、LRU方式でウェイを選んで記憶する。

メモリアクセスが1サイクルに1つだけの場合は、図4に示したように、両方のメモリバンク125及び135を同時に検索して、ヒット/ミス判定を行う。両方のメモリバンク125及び135が共にミスの場合は、第2サイクルでメインメモリ440にアクセスする。メインメモリ440から読み出されたデータは、プロセッサ410へ転送され、レジスタファイル106に格納される。このときデータキャッシュ430は、近い将来に再度このデータがアクセスされる可能性があるので、データキャッシュ430の中にも記憶しておく。データキャッシュ430中のメモリバンクの内、どちらに記憶するかは、もともとどちらのメモリポートでアクセスされたかによって制御することができる。図4の場合は、メモリポート0側、つまり命令レジスタ100にセットされている命令でアクセスされたので、メモリバンク0(125)に記憶する。メモリバンク0(125)内のどのウェイに記憶するかは、例えば、LRU方式でウェイを選んで記憶する。

また、別の制御方式として、メモリバンク 0 (1 2 5) 内の 2 つのウエイとメモリバンク 1 (1 3 5) 内の 2 つのウエイを対等に扱い、全体として 4 ウエイのセットアソシアティブ方式とみなし、4 つのウエイの中から 1 つのウエイを選んで記憶することもできる。この場合は、上記 4 つのウエイの中から最も古い時刻にアクセスされたウエイを選んで記憶する L R U 方式を採用することもできる。

これまで説明してきた図 1 の構成では、両方のメモリバンク 1 2 5 及び 1 3 5 のどちらもミスする場合、これを検出するために 2 サイクルを要する。若干のハードウェアを追加することにより、両方のメモリバンク 1 2 5 及び 1 3 5 のどちらもミスする場合を、1 サイクルで検出することができる。図 6 に、そのブロック図を示す。

図 6 において、メモリバンク 0 (1 2 5) は、メモリバンク 1 (1 3 5) のアドレス・タグ・メモリアレイ 1 3 1 および 1 3 2 のコピーを 1 2 6 および 1 2 7 に持ち、アドレス・タグ・メモリアレイ 1 2 6 および 1 2 7 から読み出したタグを、セクタ 1 0 8 で選択されたアドレスの上位ビットと比較する比較器 1 4 4 及び 1 4 5 が、図 1 の構成に対して追加されている。これにより、メモリバンク 0 (1 2 5) 内のアドレス検索を行っているサイクルと並行して、メモリバンク 1 (1 3 5) のアドレス検索を実行できるので、もし、両方のメモリバンクともミスした場合は、1 サイクルで検出することができる。したがって、第 2 サイクルでは、メモリバンク 1 (1 3 5) をアクセスすること無く、メインメモリ 4 4 0 のアクセスを起動することができ、データキャッシュ 4 3 0 のミス時の処理を高速化することができる。

メモリバンク 1 (1 3 5) 側も同様に、メモリバンク 0 (1 2 5) のアドレス・タグ・メモリアレイ 1 2 1 および 1 2 2 のコピーを 1 3 6 および

1 3 7に持ち、アドレス・タグ・メモリアレイ 1 3 6 および 1 3 7 から読み出したタグを、セクタ 1 1 8 で選択されたアドレスの上位ビットと比較する比較器 1 5 4 及び 1 5 5 が図 1 の構成に対して追加されている。これにより、メモリバンク 1 (1 3 5) 内のアドレス検索を行っているサイクルと並行して、メモリバンク 0 (1 2 5) のアドレス検索を実行できるので、もし、両方のメモリバンクともミスした場合は、1 サイクルで検出することができる。したがって、第 2 サイクル以降では、メモリバンク 0 (1 2 5) をアクセスすること無く、メインメモリ 4 4 0 のアクセスを起動することができ、データキャッシュ 4 3 0 のミス時の処理を高速化することができる。

以上説明したように本実施例によれば、第 1 サイクルで両方のメモリバンク 1 2 5 及び 1 3 5 のミス判定ができるので、データキャッシュ 4 3 0 のミス時の処理を高速化することができる効果がある。

なお、上記の実施例では、メモリバンクに数が 2 で、メモリポートの数が 2 の場合について説明してきたが、本発明は、これらの数に限定されたものではない。

メモリバンクの数が 3 以上で、メモリポートの数が 3 以上の場合も、本発明の範囲である。

例えば、メモリバンクの数が 4 で、メモリポートの数が 4 の場合も、本発明の範囲である。この場合、第 1 のサイクルでは、それぞれ第 1 のメモリアクセスポートが第 1 のメモリバンクを、第 2 のメモリアクセスポートが第 2 のメモリバンクを、第 3 のメモリアクセスポートが第 3 のメモリバンクを、第 4 のメモリアクセスポートが第 4 のメモリバンクをアクセスし、第 2 のサイクル以降では、それぞれそれ以外のメモリバンクをアクセスする。例えば、第 2 のサイクルでは、それぞれ第 1 のメモリアクセスポート

が第2のメモリバンクを、第2のメモリアクセスポートが第3のメモリバンクを、第3のメモリアクセスポートが第4のメモリバンクを、第4のメモリアクセスポートが第1のメモリバンクをアクセスし、第3のサイクルでは、それぞれ第1のメモリアクセスポートが第3のメモリバンクを、第2のメモリアクセスポートが第4のメモリバンクを、第3のメモリアクセスポートが第1のメモリバンクを、第4のメモリアクセスポートが第2のメモリバンクをアクセスし、第4のサイクルでは、それぞれ第1のメモリアクセスポートが第4のメモリバンクを、第2のメモリアクセスポートが第1のメモリバンクを、第3のメモリアクセスポートが第2のメモリバンクを、第4のメモリアクセスポートが第3のメモリバンクをアクセスする。

また、メモリバンクの数が4で、メモリポートの数が2の場合も、本発明の範囲である。この場合、第1のサイクルでは、それぞれ第1のメモリアクセスポートが第1のメモリバンクおよび第2のメモリバンクを、第2のメモリアクセスポートが第3のメモリバンクおよび第4のメモリバンクをアクセスし、第2のサイクル以降では、それぞれ、それ以外のメモリバンクをアクセスする。例えば、第2のサイクルでは、それぞれ第1のメモリアクセスポートが第3のメモリバンクおよび第4のメモリバンクを、第2のメモリアクセスポートが第1のメモリバンクおよび第2のメモリバンクをアクセスする。

以上説明したように、メモリバンクの数が2以上で、またメモリポートの数が2以上の場合であれば、本発明の範囲である。

以上説明したごとく、本発明によれば以下の効果がある。

先ず、メモリを複数のメモリバンクに分け、並列に動作が可能であるから、複数のメモリアクセスを同時に処理することが出来るマルチポートメモリとしての機能を実現することが出来る。

さらに、第1サイクルでアクセスしたメモリバンクにアクセスすべきアドレスが記憶されていれば、1サイクルで複数のメモリアccessを並列に処理することが出来る。

その結果、1サイクルでアクセスしたメモリバンクにアクセスすべきアドレスが記憶されていれば、1サイクルで複数のメモリアccessを並列に処理することが出来るので、マルチポートメモリとしての機能を実現することが出来る。例えば、メモリバンク数を2とする場合、メモリセルのアクセス時間を $1/2$ に短縮することなく、また逆に、全体のサイクル時間を2倍に延ばすことなく、2ポートメモリとしての機能を実現することができる。

さらにまた、メモリバンクの選択において、アドレスを使わずに行っているため、アドレス入力セクタでの選択が他の処理と並行してでき、この選択時間がクリティカルパスにならない。そのため、メモリアccess時間が延びることなく、マルチポートメモリとしての機能を実現することが出来る。

産業上の利用可能性

以上のように、本発明にかかわるマルチポートメモリはメモリアccess時間が延びることなくマルチポートメモリを実現でき、スーパーカラムロセッサやVLWプロセッサなど1サイクルに複数個のメモリアccess処理を要求するプロセッサを用いたデータ処理装置のメモリ、特にキャッシュメモリとして用いるのに適している。

請求の範囲

1. 複数のメモリバンクに分割したメモリにおいて、

前記メモリバンクのそれぞれは、データとそのアドレスを対にして記憶する手段と、当該メモリ外から入力されるアドレスに対応するアドレスが
5 当該メモリバンク内に存在するか否かを判断する判断手段と、前記対応するアドレスが存在するとき、当該アドレスと対になるデータをアクセスし当該メモリバンクの外へ出力する手段を有し、

前記メモリは、前記複数のメモリポートから入力される複数のアドレスそれぞれを、前記複数のメモリバンクのいずれのメモリバンクへ入力する
10 かを選択し入力する第1手段と、前記各メモリバンクから読み出されたデータを、当該メモリバンクへ入力されたアドレスが入力された前記メモリポートに対応するデータ出力用のポートへ出力する手段を有することを特徴とするマルチポートメモリ。

2. 請求項1記載のマルチポートメモリにおいて、前記第1の手段は、

15 第1サイクルで、前記複数のメモリポートの内の一つである第1のメモリポートから入力される第1のアドレスを前記複数のメモリバンクの内の一つである第1のメモリバンクへ入力し、前記複数のメモリポートの内の一つである第2のメモリポートから入力される第2のアドレスを前記複数のメモリバンクの内の一つである第2のメモリバンクへ入力し、

20 前記第1のメモリバンク内の前記判断手段が前記第1のアドレスと対になるデータが存在しないと判断したとき、前記第1サイクルより後のサイクルで前記第2のメモリバンクへ前記第1のアドレスを入力し、

前記第2のメモリバンク内の前記判断手段が前記第2のアドレスと対になるデータが存在しないと判断したとき、前記第1サイクルより後のサイ
25 クルで前記第1のメモリバンクへ前記第2のアドレスを入力することを特

徴とするマルチポートメモリ。

3. 請求項1に記載のマルチポートメモリにおいて、

前記第1の手段は、第1のサイクルで、前記複数のメモリポートの内の一つである第1のメモリポートから入力される第1のアドレスを前記複数のメモリバンクの内の全てのメモリバンクへ入力することを特徴とするマルチポートメモリ。

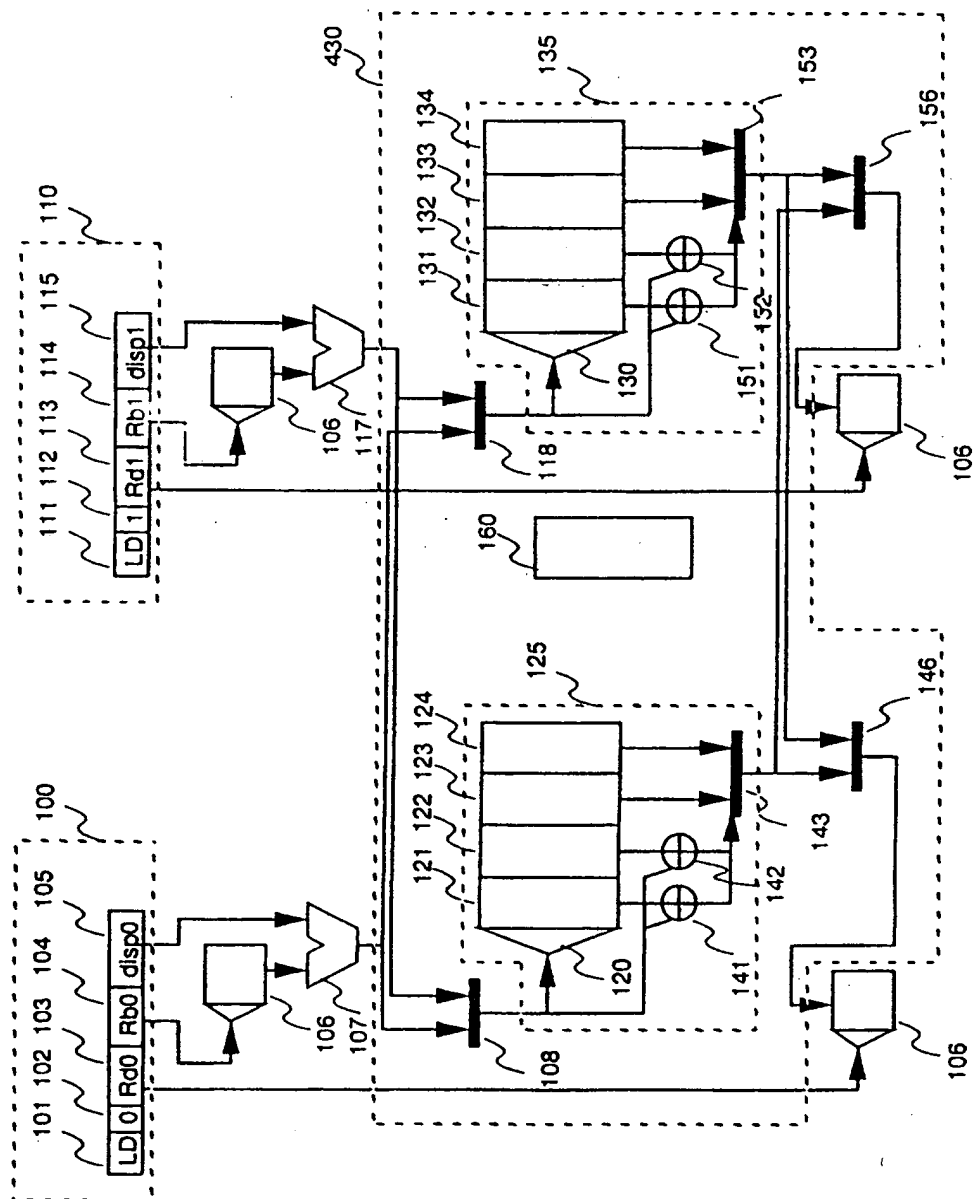
4. 請求項1または請求項2に記載のマルチポートメモリをデータメモリとして接続して用いられるデータ処理装置であって、

前記データ処理装置の制御をプログラムする命令の内、前記データメモリをアクセスする命令の中に設けられている所定のビット数の情報をデコードする手段と、デコード結果に従って当該命令を実行する手段とを有し、

ここで、前記情報は前記複数のメモリポートの内のいずれのメモリポートをアクセスするかを指定する情報であることを特徴とするデータ処理装置。

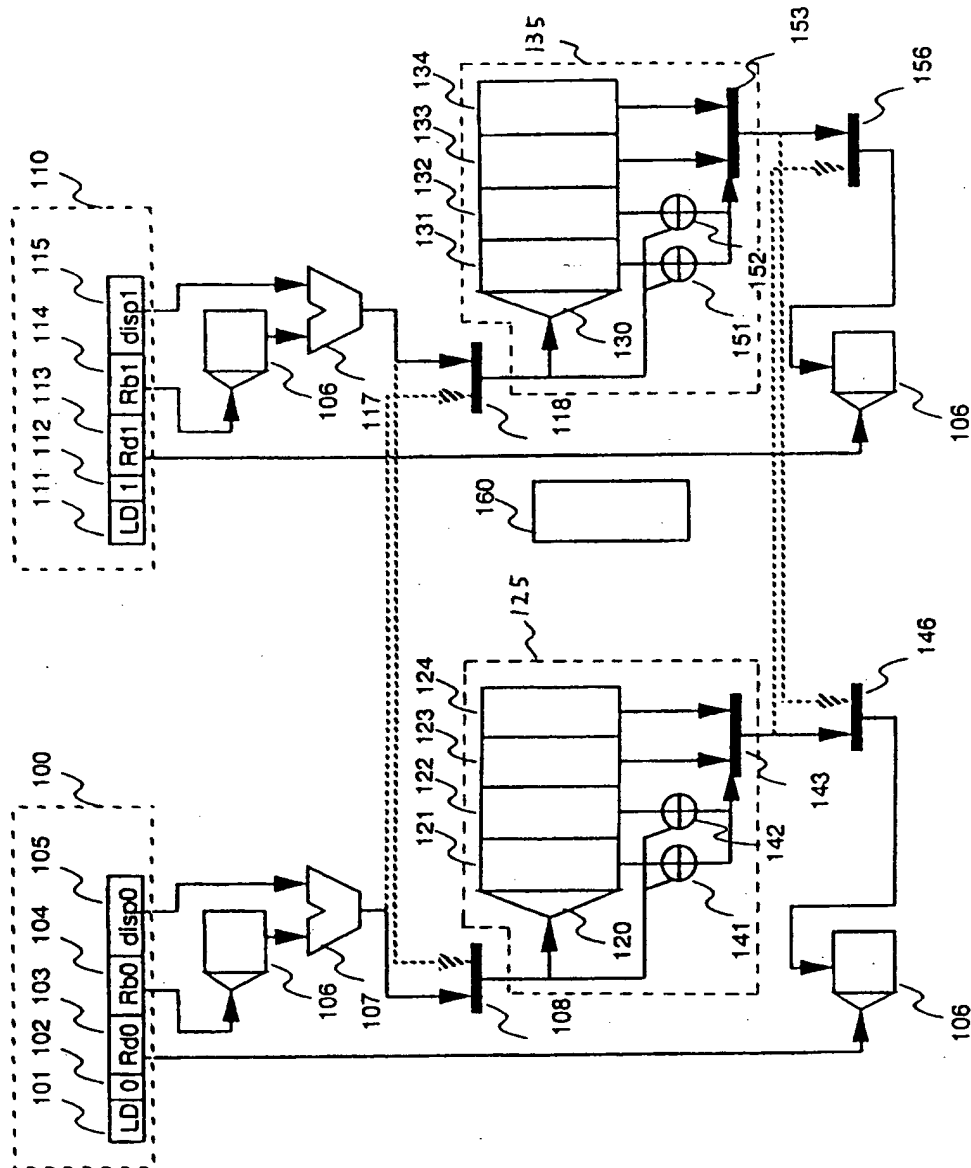
1 / 6

図 1



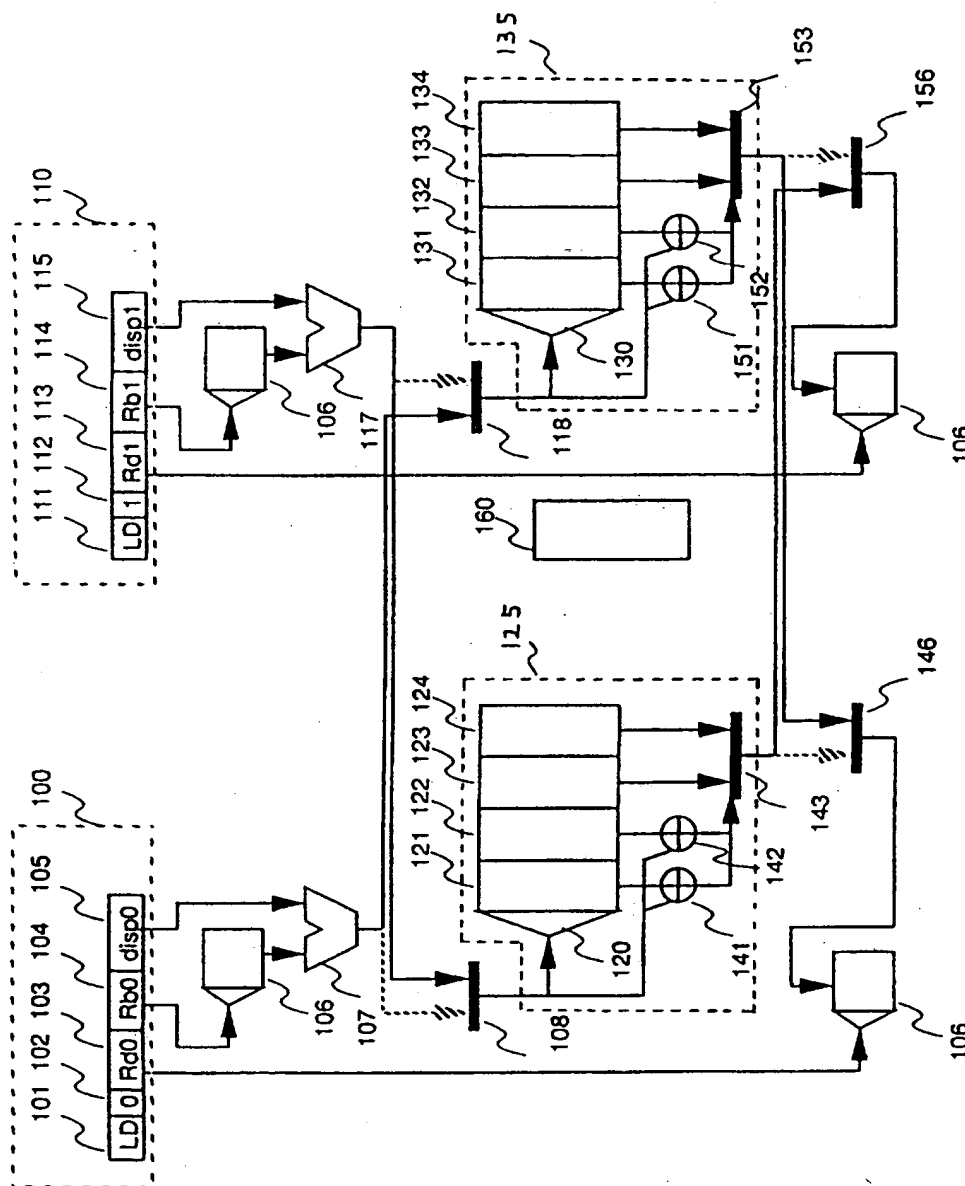
2 / 6

図 2



3 / 6

3



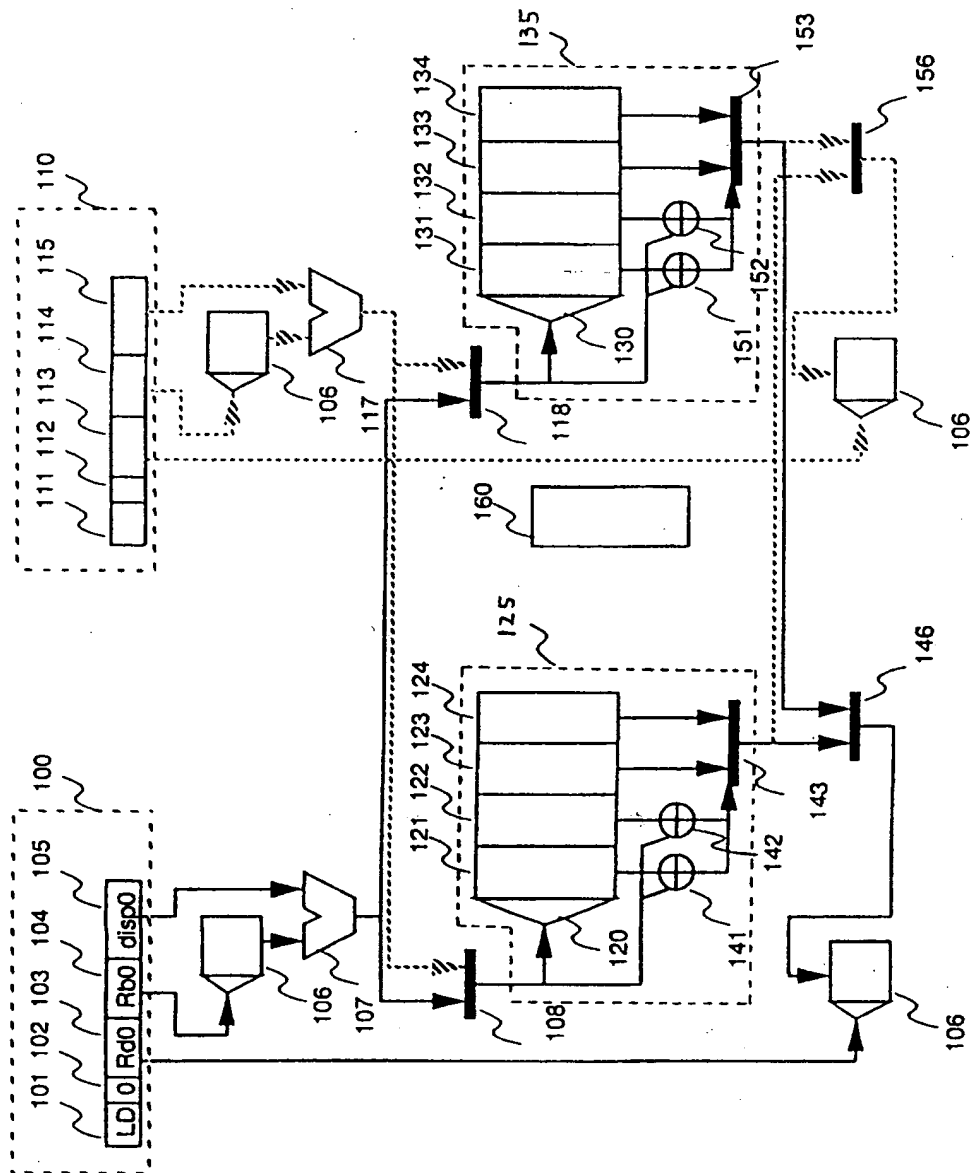
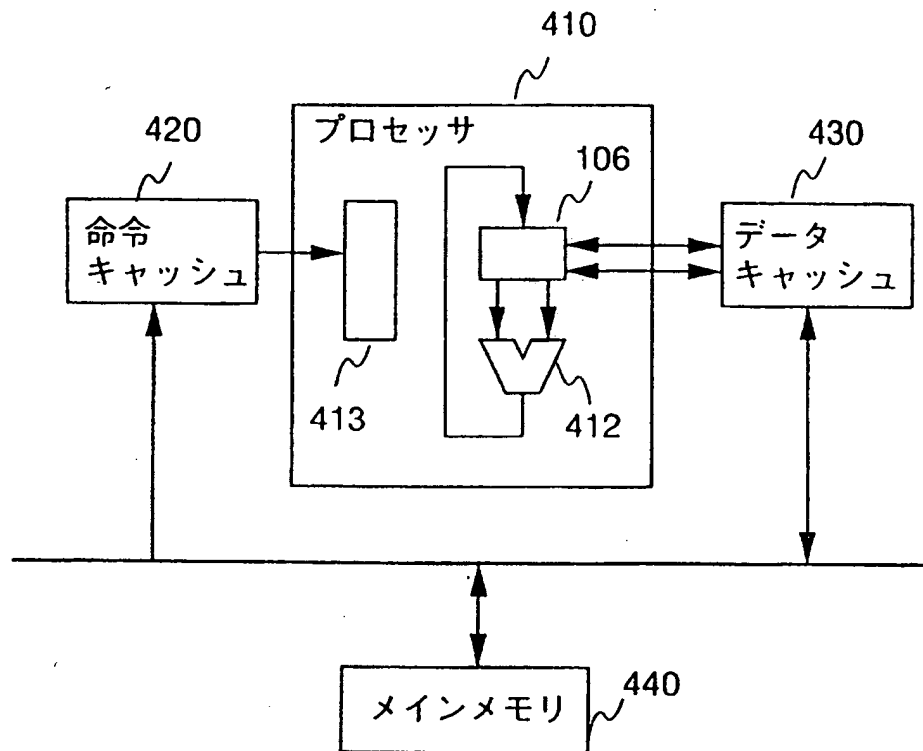
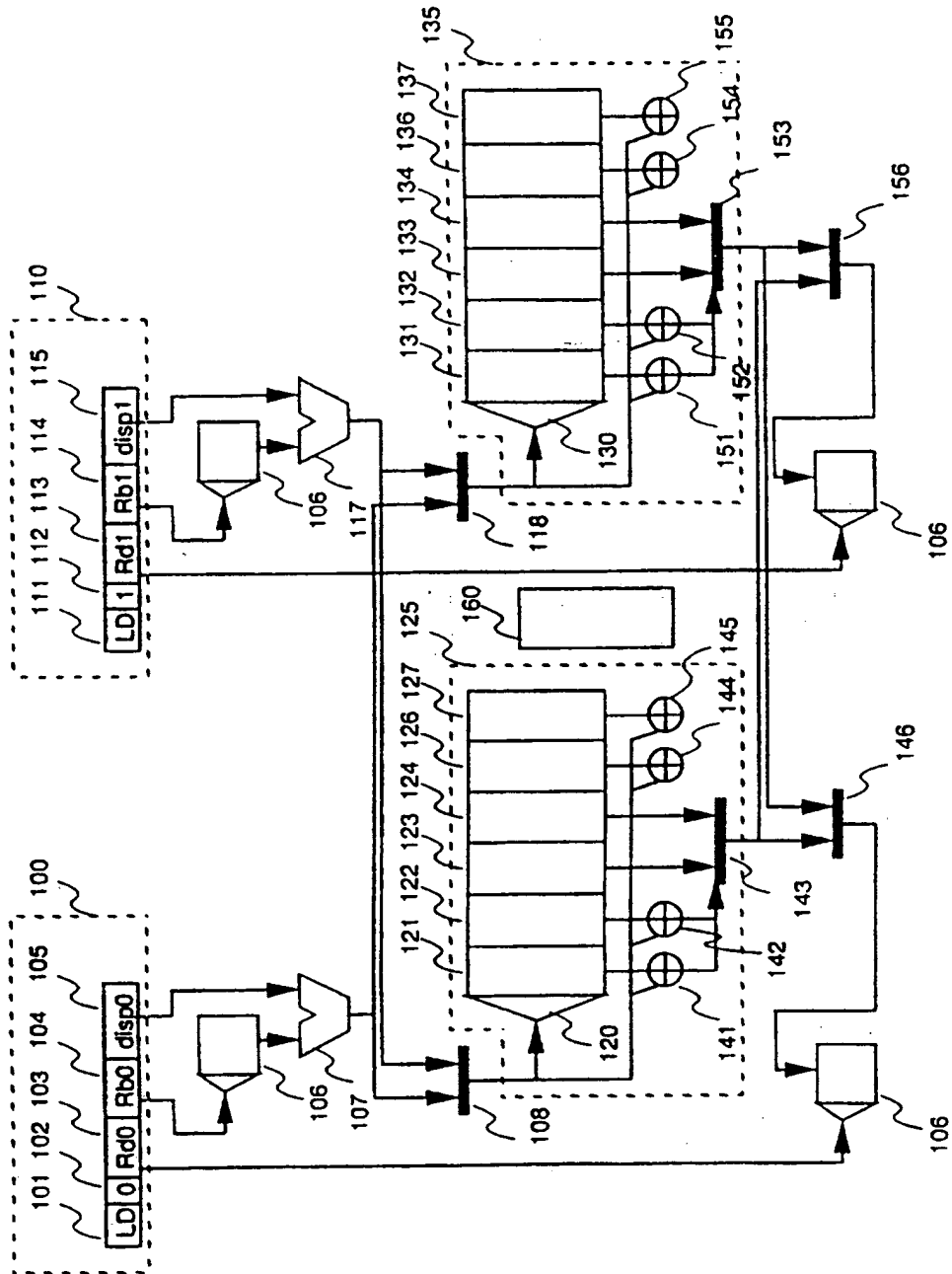


図 5



6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/00338

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F12/00, G06F12/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F12/00, G06F12/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1975 - 1996
Kokai Jitsuyo Shinan Koho	1974 - 1994
Toroku Jitsuyo Shinan Koho	1994 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 6-333394, A (International Business Machines Corp.), December 2, 1994 (02. 12. 94) & US, 5,502,683, A	1 2 - 4

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

May 10, 1996 (10. 05. 96)

Date of mailing of the international search report

May 21, 1996 (21. 05. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl. ° G06F12/00 G06F12/08

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl. ° G06F12/00 G06F12/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1975年-1996年

日本国公開実用新案公報 1974年-1994年

日本国登録実用新案公報 1994年-1996年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P, 6-333394, A (インターナショナル・ビジネス・マシーンス・コーポレーション) 2.12月.1994(02.12.94) & US, 5,502,683, A	1 2-4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10.05.96

国際調査報告の発送日

21.05.96

国際調査機関の名称及びあて先

日本国特許庁(ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

祖父江 栄一

5B

9366

電話番号 03-3581-1101 内線 3546